

P21482

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

3

Applicant : T. ARIMURA

Appl No. : Not Yet Assigned

PCT Branch

I.A. Filed : 01 February 2001

PCT/JP01/00694

For : MEMORY CIRCUIT AND COHERENT DETECTION CIRCUIT

CLAIM OF PRIORITY

Commissioner of Patents and Trademarks


Washington, D.C. 20231

Sir:

Applicant hereby claims the right of priority granted pursuant to 35 U.S.C. 119 based upon Japanese Application No.2000-26306 filed 03 February 2000. The International Bureau already should have sent a certified copy of the Japanese application to the United States designated office. If the certified copy has not arrived, please contact the undersigned.

Respectfully submitted,
T. ARIMURA

September 28, 2001
GREENBLUM & BERNSTEIN, P.L.C.
1941 Roland Clarke Place
Reston, VA 20191
(703) 716-1191


Bruce H. Bernstein
Reg. No. 29,027 33,329

THIS PAGE BLANK (USPTO)

PATENT COOPERATION TREATY

PCT

RECEIVED

APR - 9, 2001

WASHIDA & ASSOCIATES (2)

From the INTERNATIONAL BUREAU

NOTIFICATION CONCERNING
SUBMISSION OR TRANSMITTAL
OF PRIORITY DOCUMENT

(PCT Administrative Instructions, Section 411)

To:

WASHIDA, Kimihito
5th Floor, Shintoshicenter Bldg.
24-1, Tsurumaki 1-chome
Tama-shi, Tokyo 206-0034
JAPON

Date of mailing (day/month/year) 28 March 2001 (28.03.01)	IMPORTANT NOTIFICATION International filing date (day/month/year) 01 February 2001 (01.02.01) Priority date (day/month/year) 03 February 2000 (03.02.00)
Applicant's or agent's file reference 2F01010-PCT	
International application No. PCT/JP01/00694	
International publication date (day/month/year) Not yet published	
Applicant MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. et al	

1. The applicant is hereby notified of the date of receipt (except where the letters "NR" appear in the right-hand column) by the International Bureau of the priority document(s) relating to the earlier application(s) indicated below. Unless otherwise indicated by an asterisk appearing next to a date of receipt, or by the letters "NR", in the right-hand column, the priority document concerned was submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b).
2. This updates and replaces any previously issued notification concerning submission or transmittal of priority documents.
3. An asterisk(*) appearing next to a date of receipt, in the right-hand column, denotes a priority document submitted or transmitted to the International Bureau but not in compliance with Rule 17.1(a) or (b). In such a case, **the attention of the applicant is directed to Rule 17.1(c)** which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.
4. The letters "NR" appearing in the right-hand column denote a priority document which was not received by the International Bureau or which the applicant did not request the receiving Office to prepare and transmit to the International Bureau, as provided by Rule 17.1(a) or (b), respectively. In such a case, **the attention of the applicant is directed to Rule 17.1(c)** which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.

<u>Priority date</u>	<u>Priority application No.</u>	<u>Country or regional Office or PCT receiving Office</u>	<u>Date of receipt of priority document</u>
03 Febr 2000 (03.02.00)	2000/26306	JP	26 Marc 2001 (26.03.01)

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No. (41-22) 740.14.35	Authorized officer Taieb Akremi Telephone No. (41-22) 338.83.38
--	---

THIS PAGE BLANK (USPTO)

JP01/694
EUV

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

PCT/JP01/00694

01.02.01

REC'D 26 MAR 2001

WIPO PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

#3

出願年月日
Date of Application:

09/926241

2000年 2月 3日

出願番号
Application Number:

特願2000-026306

出願人
Applicant (s):

松下電器産業株式会社

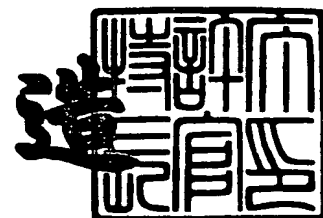
PRIORITY
DOCUMENT

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2001年 3月 2日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3015044

【書類名】 特許願

【整理番号】 5037910075

【提出日】 平成12年 2月 3日

【あて先】 特許庁長官殿

【国際特許分類】 H04B 1/707

【発明者】

 【住所又は居所】 大阪府門真市大字門真1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 有村 拓也

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100105050

 【弁理士】

 【氏名又は名称】 鷲田 公一

【手数料の表示】

 【予納台帳番号】 041243

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9700376

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリ回路および同期検波回路

【特許請求の範囲】

【請求項 1】 マルチコード送信されてきた CDMA 方式の信号を、受信して内挿同期検波する際に、情報シンボルを蓄積するためのメモリ回路であって、

メモリ領域を、前記マルチコード通信のコード毎に電氣的に区切り、コードに対応する、区切られたメモリ領域毎にアクセス可能としたことを特徴とするメモリ回路。

【請求項 2】 さらに、前記メモリ領域を、受信スロット毎に電氣的に区切り、検波対象のスロットに対応したメモリ領域、および現受信スロットに対応したメモリ領域に対して、個別にアクセス可能としたことを特徴とする請求項 1 記載のメモリ回路。

【請求項 3】 アクセスが発生しないメモリ領域を非動作状態とする、メモリ動作制御部を設けたことを特徴とする、請求項 1 または請求項 2 記載のメモリ回路。

【請求項 4】 情報シンボルに一定周期で挿入された既知のパイロットシンボルを利用して位相変動を推定し、情報シンボルの位相を補償する内挿同期検波回路において、逆拡散され復調された複数コードの情報シンボルをコード毎およびスロット毎の単位で個別に格納する領域を具備するシンボル蓄積メモリと、検波対象となるスロットを選択するセレクタ部と、検波対象となるスロットの前後数スロットにわたる既知のパイロットシンボルを用いて位相補償量の推定を行う位相補償推定部と、前記シンボル蓄積メモリに格納された情報シンボルと前記位相補償推定部で求められた位相補償量を複素乗算することにより情報シンボルの位相を補償する位相補償部と、多重コード数およびスロットの情報により前記シンボル蓄積メモリの動作領域と停止領域を区別し、クロックの供給を個別に制御することができるメモリ動作制御部を具備することを特徴とする同期検波回路。

【請求項 5】 前記シンボル蓄積メモリへのデータの書き込みを制御するメモリインタフェース回路を、さらに有し、このメモリインタフェース回路は、複数のレイクフィンガーから出力される、各コード毎の複数の遅延波の逆拡散後の

データを受け、前記シンボル蓄積メモリに、時分割でライトすることを特徴とする請求項 4 記載の同期検波回路。

【請求項 6】 受信アンテナと、所定の周波数でフィルタリングしベースバンド信号に復調する高周波信号処理部と、アナログ信号をデジタル信号に変換する A/D 変換部と、受信信号を所定のタイミングで逆拡散しデータを復調する逆拡散部と、逆拡散後データの同期検波を行う請求項 4 記載の同期検波部と、逆拡散され、同期検波されたマルチパスをレイク合成するレイク合成部と、チャネルデコードを行うチャネルコーデック部とを具備した CDMA 受信装置。

【請求項 7】 マルチコード送信されてきた CDMA 方式の信号を、受信して内挿同期検波する際に使用される情報シンボル蓄積用メモリを、コードおよびスロットを変数として複数のブロックに電氣的に分割し、多重されているコード数の情報に基づいて、各ブロックについて動作を個別に制御し、これにより、アクセスが必要となるブロックのみを動作状態として、前記情報シンボル蓄積用メモリの消費電力を削減する方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、CDMA 方式に適用でき、情報シンボルに一定周期で挿入された既知のパイロットシンボルを利用して位相変動を推定し、情報シンボルの位相を補償する同期検波回路に関する。

【0002】

【従来の技術】

移動体通信における多元接続の方法として、近年 CDMA (Code Division Multiple Access: 符号分割多重接続) 方式が注目されている。

【0003】

移動体通信環境下では、送信された情報シンボルは、レイリーフェージングの影響により振幅変動および位相変動され、受信される。

【0004】

受信側における前記情報シンボルの位相を補償する同期検波の方法として、情

報シンボルに一定周期（例えば、1.25ms毎）に挿入された既知のパイロットシンボルを利用し位相変動を推定する内挿同期検波方式が提案されている。

【0005】

内挿同期検波は、パイロットシンボルの復調結果とパイロットシンボルの理想的な位相（本来の位相）とを比較し、位相誤差を算出するという動作を複数のスロットについて実行して、その位相誤差算出結果からパイロットシンボル間の情報シンボルの位相を内挿補間し、同期検波を行うものである。なお、内挿同期検波に関しては、例えば、「広帯域CDMA野外伝送結果（RCS97-3）」に記載されている。

【0006】

図6は、内挿同期検波を行う際に用いられる受信信号の構成例を示している。図中のパイロットシンボル140, 150, 160, 170は、スロット毎に挿入された既知のシンボルであり、複数のシンボルによって構成されている。検波対象スロット18は検波対象となる1スロット分の情報シンボルであり、この1スロット分の情報シンボルの位相を補償するために、その前後数スロットにわたるパイロットシンボルを用いて位相補償量を推定するのが一般的である。

【0007】

例えば、図6に示す構成の信号を連続で受信しているものとし、パイロットシンボル14～17を用いる内挿同期検波を行う場合、検波対象となるのは、現受信スロットの2スロット前の情報シンボル、すなわち検波対象スロット18のシンボルである。よって、回線推定が終了するまで、先に受信した情報シンボル（2スロット前の情報シンボル）を一時的に蓄積しておく必要がある。すなわち、同期検波回路では、少なくとも3スロット分のシンボルを蓄積することがメモリが必要となる。

【0008】

また、CDMA方式におけるデータ伝送手段の一つにマルチコード伝送がある。これはデータ量の大小に応じて多重させるコード数を変化させることにより、コード資源を有効に使うというデータ伝送手段である。例えば、データを伝送する論理チャネルが音声や小容量パケットの場合には、1つの物理チャネルに1つ

の拡散コードを割り当ててデータ伝送を行うが、それが大容量データを伝送する場合には、それを複数の物理チャネルに分割し、各物理チャネルにそれぞれ1つづつ拡散コードを割り当てて、分割した物理チャネルを多重しデータ伝送を行うというものである。

【0009】

【発明が解決しようとする課題】

マルチコード伝送は、常時、すべてのコードを使用するというものではなく、状況に応じて、動的に使用するコードが決定されるものである。しかし、すべてのチャネルが使用された場合を想定して、内挿同期検波を行うためのメモリ領域を確保しておく必要がある。

【0010】

この場合、メモリの構成方法は種々あるが、複数のメモリを設けてそれぞれを個別に管理するよりも、共通のメモリを設けて一元的に管理する方が、占有面積、消費電力、管理の容易さのいずれの点でも、有利なのは当然のことである。

【0011】

しかし、マルチコードの数に対応可能な、シンボル蓄積用のメモリ領域を一括して設けると、以下のような問題を生じる。

【0012】

すなわち、多重されているコード数に関わらず、アクセスするメモリ領域が同じであるため、1コードでデータ伝送をしている場合でも、複数コードが多重されている場合でも、メモリアクセスによる消費電力は変わらないという問題がある。

【0013】

さらに、複数スロットにまたがる複数のパイロットシンボルを用いる内挿同期検波において、メモリアクセスが発生するのは、現受信スロットの情報シンボルを書き込む時と、検波対象スロットの情報シンボルを読み出す時であり、それ以外のスロットは、メモリアクセスする必要はないはずであるが、従来の同期検波回路におけるシンボル蓄積メモリの構成では、メモリ領域が同じであるために、アクセスしなくてもよいメモリ領域にもアクセスが発生し、その分、無駄な電力

を消費してしまうという問題がある。

【0014】

本発明は、このような考察に基づいてなされたものであり、同期検波回路の低消費電力化を図ることを目的とする。

【0015】

【課題を解決するための手段】

本発明では、情報シンボル蓄積メモリのメモリ領域を、マルチコード通信のコード毎に電氣的に区切り、コードに対応する、区切られたメモリ領域毎にアクセス可能とする。また、メモリ領域を、受信スロット毎に電氣的に区切り、検波対象のスロットに対応したメモリ領域および現受信スロットに対応したメモリ領域に対して、個別にアクセス可能とする。

【0016】

このようなメモリを用いることにより、書き込みや読み出しの必要がないスロットの情報シンボルを蓄積しているメモリ領域へのクロック供給を停止するなどの対策をとることで、消費電力を削減することが可能となる。

【0017】

【発明の実施の形態】

本発明の一つの態様では、内挿同期検波回路のシンボル蓄積メモリにおいて、多重されたコード毎にメモリ領域を電氣的に区切り、ダイナミックに可変するコード数に対して、対応するメモリ領域だけを動作させ、さらにコード数が少ない場合に、領域としては確保してあるが使用しないメモリ領域に関して、動作クロックの供給を停止するなどして、回路の低消費電力化を達成する。

【0018】

また、スロット毎に電氣的にメモリ領域を区切り、書き込みや読み出しの必要がないスロットの情報シンボルを蓄積しているメモリ領域へのクロック供給を停止することで、回路の、さらなる低消費電力化を図ることができる

以下、本発明の実施の形態について説明する。

【0019】

(実施の形態1)

図 1 は、本発明の実施の形態 1 にかかる同期検波回路のブロック図であり、図 5 は、本発明の同期検波回路を用いた CDMA 受信機（レイク受信機）の構成を示すブロック図である。

【0020】

まず、CDMA 受信機の全体構成について説明する。

【0021】

図 5 に示すように、CDMA 受信機は、受信アンテナ 7 と、所定の周波数でフィルタリングし、ベースバンド信号に復調する高周波信号処理部 8 と、アナログ信号をデジタル信号に変換する A/D 変換部 9 と、受信信号を所定のタイミングで逆拡散しデータを復調する逆拡散部 10 と、逆拡散後データの同期検波を行うの同期検波部 11 と、逆拡散され、同期検波されたマルチパスをレイク合成するレイク合成部 12 と、チャネルデコードを行うチャネルコーデック部 13 と、マルチコード数情報抽出部 14 と、逆拡散符号生成部 15 と、を備えている。

【0022】

逆拡散部 10 は、複数の受信フィンガ 16a ～ 16n およびサーチャ 17 を具備する。マルチコード数情報抽出部 14 は、受信信号に挿入されている、使用コード数に関する情報を抽出し、同期検波部 11 に与える。また、逆拡散符号生成部 15 は、例えば、3 つの逆拡散用のコード C0 ～ C2 を生成し、逆拡散符号生成部 15 に供給する。

【0023】

受信信号は、高周波信号処理部 8 においてベースバンド信号に復調され、A/D 変換されてデジタルデータに変換された後、逆拡散部 10 に入力される。逆拡散部 10 では、所望のマルチパス数および、多重コード数分の逆拡散器により、逆拡散されデータが復調される。同期検波部 11 およびレイク合成部 12 では、これら複数のデータについて、コード毎にマルチパスの位相を補償し、レイク合成を行う。

【0024】

次に、同期検波部 11 の構成と動作について、図 1 ～ 図 4 を参照して、説明する。

【0025】

図1に示されるように、内挿同期検波部11は、互いに物理的（電氣的）に分離されている複数のシンボル蓄積メモリ2a～2iと、メモリインタフェース1a～1cと、メモリ動作制御部3と、セクタ4と、位相補償量推定部5と、位相補償部6と、を具備する。なお、図中、BUS1～BUS3はライトバスであり、BUS4～BUS6はリードバスである。

【0026】

メモリの分割は、「コード単位（横方向の分割）」と、「各コードにおけるシンボル単位（縦方向の分割）」で行われる。この分割により、必要な部分のみにアクセスすることが可能となる。

【0027】

すなわち、ワード線とビット線が分割されることにより、メモリアクセスにドライバの負荷が減少し、充放電の電流量が減少するため、低消費電力化を図ることができる。また、不必要なメモリについてのアドレスデコーダにおいて、クロックの供給を停止する等の工夫により、その回路部分における動作電流も削減することができる。さらに、低消費電力化を行える。

【0028】

どのメモリをアクティブにするかは、メモリ動作制御部3により制御される。メモリ動作制御部3には、図5のマルチコード数情報抽出部14から出力される多重コード数の情報（MCN）が入力されており、メモリ動作制御部3は、使用されているコードに対応するメモリ列のみを、所定のシーケンスで動作させる。なお、具体的な動作の手順については後述する。

【0029】

また、位相補償量推定部5は、各受信信号からパイロット信号を抜き出し、位相推定（回線推定）を行い（図6）、その位相補償量を示す信号を位相補償部6に与える。位相補償部6は、位相補償量推定部5で計算された位相補償量を、メモリから読み出されたシンボル情報に複素乗算し、その結果をレイク合成部12へ送る。

【0030】

以下、図1の同期検波回路の全体の動作を説明する。

図5の逆拡散部10から出力される、逆拡散後の情報シンボル $f_0 \sim f_{n-1}$ 、 $f_n \sim f_{2n-1}$ 、 $f_{2n} \sim f_{3n-1}$ は、それぞれコード1、コード2、コード3のマルチパス波をそれぞれ個別のタイミングで受信、復号したものである。そして、本実施の形態では遅延波を合成するレイク受信を行うため、各コードの復調信号について、遅延量が少しずつ異なる n 個 (n は2以上の自然数) の信号が、受信フィンガー (図5) から出力されることになる。すなわち、各コードにおける n パス分の情報シンボルは、同一情報がそれぞれ $0 \sim M$ チップ ($M=1, 2, 3, \dots$) 遅延している。

【0031】

逆拡散後の各情報シンボル $f_0 \sim f_{n-1}$ 、 $f_n \sim f_{2n-1}$ 、 $f_{2n} \sim f_{3n-1}$ には、それぞれ個別のタイミングで独立に受信した情報シンボルの順番でアドレスおよびスロットナンバーが付与される。

【0032】

このとき、情報シンボル $f_0 \sim f_{n-1}$ 、 $f_n \sim f_{2n-1}$ 、 $f_{2n} \sim f_{3n-1}$ のアドレスの個数は、受信したチャネルの1スロット内にマッピングされたシンボル数に等しく、各アドレスは、 $f_0 \sim f_{n-1}$ 、 $f_n \sim f_{2n-1}$ 、 $f_{2n} \sim f_{3n-1}$ 間で所定のオフセットを加えて、同一のメモリ空間に書きこまれないように工夫している。

【0033】

各メモリインターフェース1a~1cには、同一コードの逆拡散後の情報シンボル $f_0 \sim f_{n-1}$ 、 $f_n \sim f_{2n-1}$ 、 $f_{2n} \sim f_{3n-1}$ が、それぞれ入力される。すなわちレイク合成を行うパス毎の逆拡散後の情報シンボルがそれぞれ入力される。

【0034】

各メモリインターフェース1a~1cは、パラレルに入力された n パス分の情報シンボルおよびアドレスをシリアルにライトバスへ送出し、対応するスロットのシンボル蓄積メモリ2のいずれかに、時分割で蓄積する。

【0035】

このとき、同時に2スロット前に蓄積された蓄積メモリの情報シンボルがセクタ4によって選択され、位相補償部6に送られる。上述のとおり、位相補償部6では、位相補償量推定部5で計算された位相補償量が複素乗算され、レイク合成部へ送られレイク合成される。

【0036】

次に、図2および図3を参照して、図1のシンボル蓄積メモリ2a~2iの構成および動作を具体的に説明する。

【0037】

図2は、実施の形態1におけるシンボル蓄積メモリにおいて、最大3コード多重されたデータを受信でき、さらに位相補償量を検波対象となるスロットの前後2スロットにわたるパイロットシンボル（計4つのパイロットシンボル）から求めるために、3スロット分の情報シンボルを格納することができるメモリ領域の構成を示す。なお、メモリセルは、リフレッシュ不要なSRAMで構成する。

【0038】

図2においては、図1とは異なる表記を用いている。すなわち、図2において、 $c1s1$ 、 $c1s2$ 、 $c1s3$ （以下、 $c1sx$ と表記： x は1、2、3のいずれかを示す任意の数）は、コード1用メモリである。同様に、 $c2sx$ はコード2用メモリであり、 $c3sx$ はコード3用メモリである。また、 $cx s1$ はスロット1用メモリであり、同様に $cx s2$ はスロット2用メモリであり、 $cx s3$ はスロット3用メモリである。すなわち、メモリは、コードとスロットを変数として分割される。なお、このメモリへのリードとライトは、同時に行うことができる。

【0039】

以上の構成において、以下その動作を説明する。

【0040】

図3は、図2の構成において、多重コード数が”1”の時の動作を示すものである。

【0041】

コード数が”1”の時の実施の形態1における本発明の動作としては、まず、

逆拡散された最初のスロットの情報シンボル $f_0 \sim f_{n-1}$ に、スロットナンバー 1 が付与され、蓄積メモリ $c1s1$ にライト（格納）される。これが動作状態 1 の状態である。なお、図 3 ではライトを「W」で示し、リードを「R」と記載する。

【0042】

次に、同様に第 2 スロットの情報シンボル $f_0 \sim f_{n-1}$ にスロットナンバー 2 が付与され、蓄積メモリ $c1s2$ にライト（格納）される。これが動作状態 2 の状態である。

【0043】

さらに第 3 スロットの情報シンボルはスロットナンバー 3 が付与され蓄積メモリ $c1s3$ にライト（格納）されるが、このとき、同時に 2 スロット前に蓄積された蓄積メモリ $c1s1$ の情報シンボルから情報がリード（読み出し）される。これが動作状態 3 の状態である。読み出された情報シンボルは図 1 の位相補償部 6 において、図 1 の位相補償量推定部 5 で計算された位相補償量が複素乗算され、レイク合成部へ送られる。

【0044】

さらに、第 4 スロットには、再びスロットナンバー 1 が付与され、前記蓄積メモリ $c1s1$ の読み出しが終了した後に上書きされる。このとき、同時に 2 スロット前に蓄積された蓄積メモリ $c1s2$ からは、2 スロット前の情報シンボルがリード（読み出し）され、図 1 の位相補償部 6 へ送出される。これが動作状態 4 の状態である。

【0045】

同様にして、動作状態 5 を経て、動作状態 6 に移行する。動作状態 6 は動作状態 3 と同じであるので、動作状態 6 以降は動作状態 4 に移行し、動作状態 4、5、6 が繰り返される。

【0046】

このようにして、蓄積メモリへの書きこみにおいては、スロット毎に蓄積メモリ $c1s1$ 、 $c1s2$ 、 $c1s3$ と順番に書きこまれ、蓄積メモリ $c1s3$ へ書きこみが終了した後は、蓄積メモリ $c1s1$ に戻って再び順番に書きこみが行わ

れるという動作をし、蓄積メモリからの読み出しにおいては、書きこみが行われている蓄積メモリの、2スロット前に書きこみが終了した蓄積メモリより情報シンボルの読み出しを行う。

【0047】

このような動作をすると、動作状態1～6のそれぞれにおいて、一つのコードに対応するメモリにおいて、最大でも、3つのメモリのうちの2つしか動作しないため、必ず、動作不要なメモリが存在する。

【0048】

すなわち、アクセスする必要があるのは、「検波対象のスロットの情報」を読み出す場合と、「現在受信しているスロットの情報」を蓄積する場合だけである。したがって、動作不要なメモリにおいて、ワード線・ビット線を駆動しなければ、電流消費を削減できる。

【0049】

つまり、本発明の構成によれば、上述の動作により、それぞれの蓄積メモリには書きこみと読み出しが同時には発生せず、かつ書きこみ読み出しが発生しない蓄積メモリは動作を停止させておくこと（つまり、SRAMを構成するメモリセルに対してアクセスを発生させないようにすること）が可能であり、少なくとも、消費電力を従来の3分の2に低減させることができる。

【0050】

また、上述の例では、コード1に対応した蓄積メモリc1sxのみが動作し、コード2、コード3に対応したc2sx、およびc3sxは動作を完全に停止させることができる。

【0051】

図3からも明らかなように、動作しているのは9つの物理的（電氣的）に区切られた蓄積メモリのうちの2つだけであり、その他の蓄積メモリは停止している。従って、コード数が1の場合、単純に動作比率だけで消費電力を比較すると、本発明は従来構成に比べて9分の2に消費電力を低減できる。

【0052】

上述の例では1コード分のデータに注目して述べたので、次に多重コード数が

2コードとなった場合の動作を説明する。

【0053】

コード1およびコード2は、書き込みおよび読み出しで、それぞれ2つのメモリ領域を動作させるが、コード3は使用しないので停止しておける。したがって9つの物理的（電氣的）に区切られた蓄積メモリのうち動作しているのは4つとなり、単純に動作比率だけで消費電力を比較すると、本発明は従来構成に比べて9分の4に消費電力を低減できる。

【0054】

同様に多重コード数が3コードの場合、全てのメモリ領域において書き込みまたは読み出しの動作が発生するので、9つの物理的（電氣的）に区切られた蓄積メモリのうち動作しているのは6つとなり、単純に動作比率だけで消費電力を比較すると、本発明は従来構成に比べて9分の6に消費電力を低減できる。

【0055】

なお、メモリの動作（アクティブ）／非動作（ノンアクティブ）とする制御は、図4（a）に示すように、各メモリのアドレスデコーダ18a, 18b, 18cにおいて、ビット線やワード線を駆動するために必要なクロックの供給を、ゲート回路等を用いて停止させることにより実現できる。図4（b）には、より具体的な回路構成が示される。

【0056】

図4（b）において、a1～a2nはワード線（W1～Wn）のドライバであり、b1～bmは、ビット線（BT1～BTm）のドライバである。そして、各メモリ毎に、ドライバ（a1～a2n, b1～bm）は、駆動回路（30a～30c）によって制御される。したがって、各駆動回路におけるクロックの供給をコントロールすることにより、各メモリのアクティブ／ノンアクティブを個別に制御することが可能である。

【0057】

以上、本実施形態によれば、蓄積メモリ領域をコード毎かつスロット毎に物理的（電氣的）に区切ることにより、従来の同期検波回路の蓄積メモリに比べて、9分の2から9分の6まで低消費電力化を図ることができる。

【 0 0 5 8 】

なお、実施の形態 1 において、多重コード数を 3 コードとしたが、多重コード数は何コードでもよい。また、実施の形態 1 において蓄積するスロット数を 3 スロットとしたが、蓄積するスロット数は何スロットとしてもよいことは言うまでもない。

【 0 0 5 9 】

図 5 に示される CDMA 受信機では、同期検波部 1 1 が低消費電力化されているため、IC 化に適し、また、携帯電話の電池の長寿命化も達成できる。

【 0 0 6 0 】

【発明の効果】

以上説明したように本発明は、CDMA 方式に適用される同期検波回路において、蓄積メモリを、多重されるコード毎かつ検波対称となる蓄積スロット毎に物理的（電氣的）に区切り、それらの動作・停止を個別に制御することにより、回路の低消費電力化を実現することができる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態にかかる同期検波回路の全体構成を示すブロック図

【図 2】

本発明の実施の形態にかかるシンボル蓄積メモリの構成を説明するための図

【図 3】

本発明の実施の形態にかかるシンボル蓄積メモリの動作を説明するための図

【図 4】

（a）シンボル蓄積メモリの動作を制御するための構成の概要を説明するための図

（b）シンボル蓄積メモリの動作を制御するための具体的構成を説明するための図

【図 5】

本発明の同期検波回路を使用した受信機の構成を示すブロック図

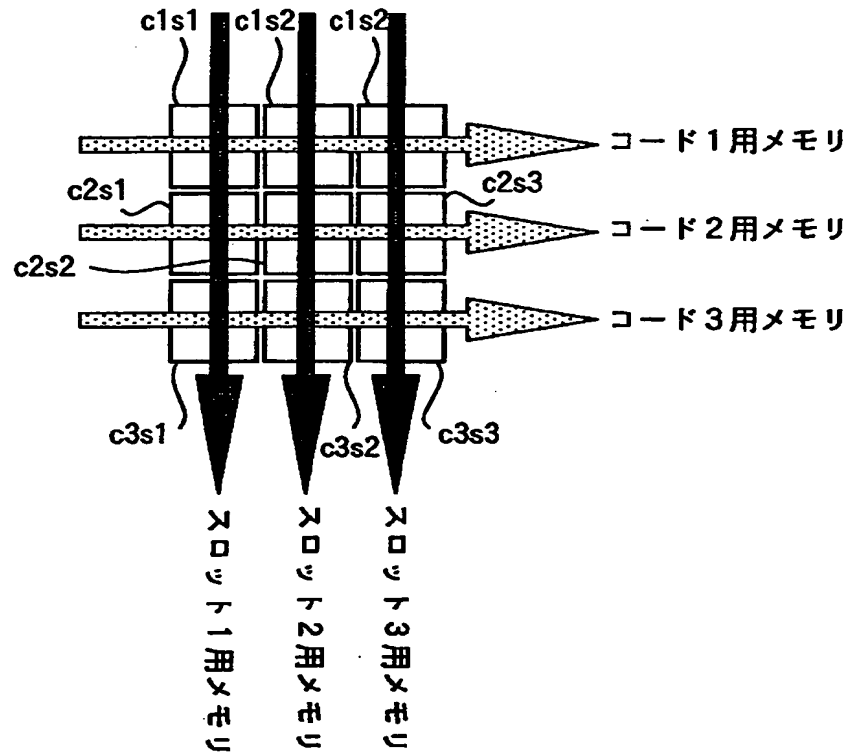
【図 6】

内挿同期検波を行う際に用いられる受信信号のフォーマット例を示す図

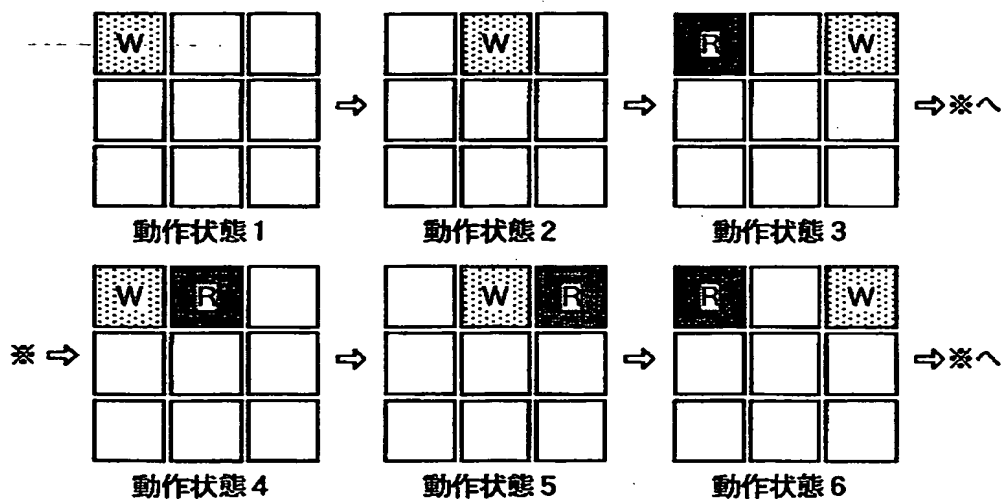
【符号の説明】

- 1 a ~ 1 c メモリインターフェース
- 2 a ~ 2 i シンボル蓄積メモリ
- 3 メモリ動作制御部
- 4 セレクタ
- 5 位相補償量推定部
- 6 位相補償部
- 7 受信アンテナ
- 8 高周波信号処理部
- 9 A/D変換部
- 1 0 逆拡散部
- 1 1 同期検波部
- 1 2 レイク合成部
- 1 3 チャネルコーデック部
- 1 8 検波対象スロット

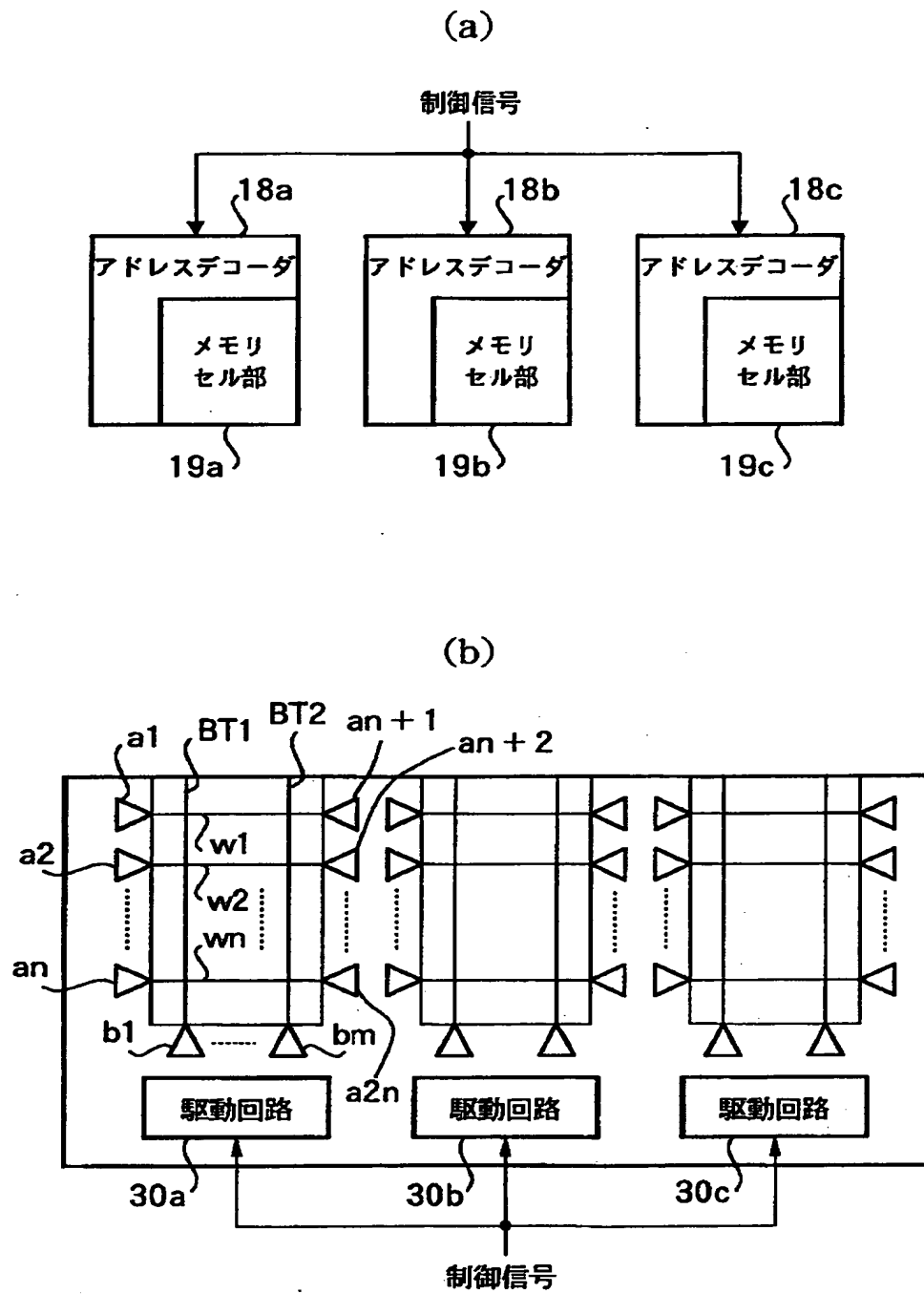
【図2】



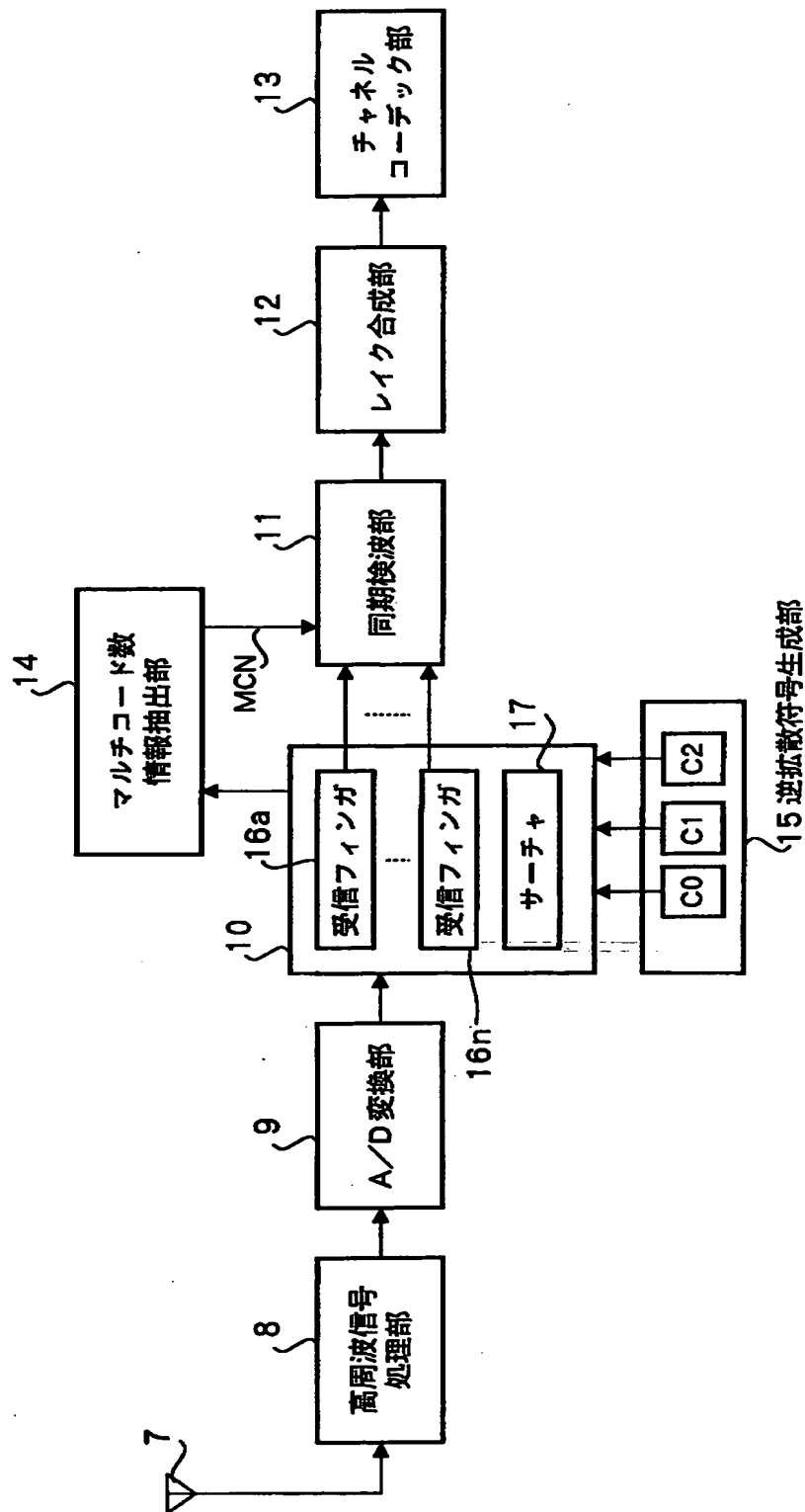
【図3】



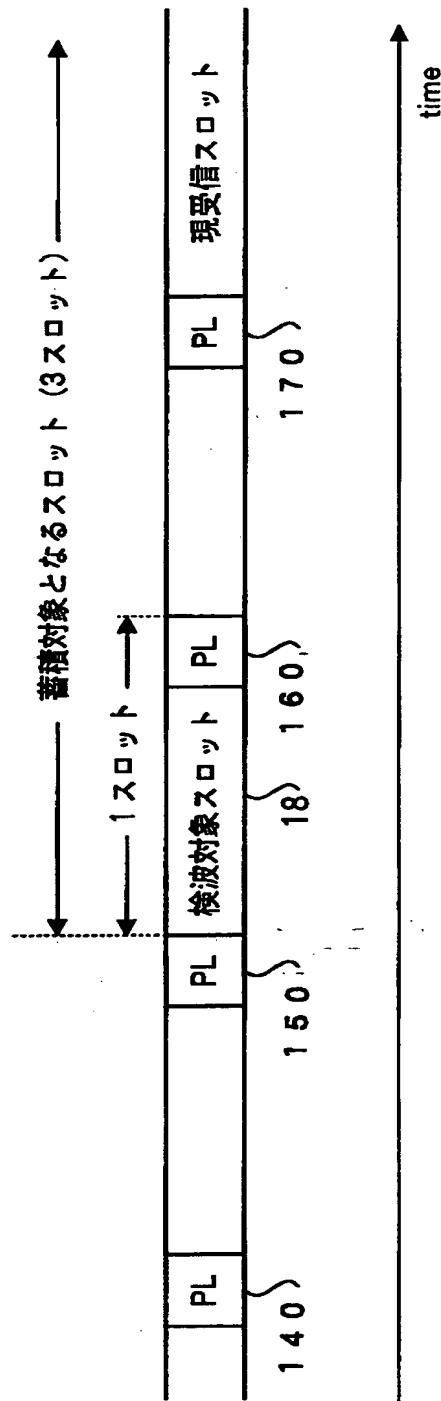
【図 4】



【図5】



【図6】



【書類名】 要約書

【要約】

【課題】 C D M A レイク受信機における、内挿同期検波回路のメモリ部の消費電力を削減すること。

【解決手段】 多重コード通信にダイナミックに対応するべく、メモリ領域をコード毎に区切って、各々の領域毎にアクセス可能とし、さらに、スロット単位で、領域を分割する（シンボル蓄積メモリ 2 a ~ 2 i）。メモリ動作制御部 3 は、多重コード数の情報（M C N）とスロット情報に基づき、分割されたメモリ領域の動作／非動作を個別に制御する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社

THIS PAGE BLANK (USPTO)